

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233309

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01C 7/10

(21)Application number : 10-028591

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 10.02.1998

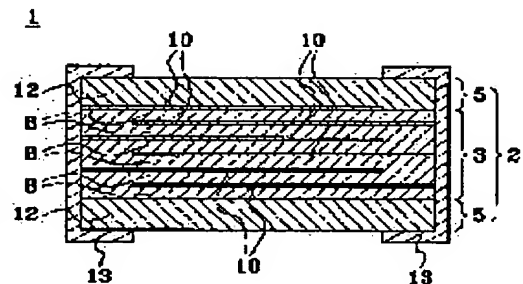
(72)Inventor : KANEKO KAZUHIRO
NAKAMURA KAZUYOSHI

(54) LAMINATED VARISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a laminated varistor which can be miniaturized and whose surge resistance is improved without having a coating applied to its surface.

SOLUTION: This laminated varistor 1 consists of a characteristic part 3 in which a varistor layer 8 and an inner electrode layer 10 are piled up alternately, a laminated body 2 consisting of an armor part 5 for armoring the upper and lower surfaces of the characteristic part 3, and an outer electrode 13 formed on both side faces of the laminated body 2, and a ratio $R1/R2$ of the insulation resistance value $R1$ of an armor ceramic layer 12, constituting the armor part 5, to the insulation resistance value $R2$ of the varistor 8 is in the range of 1.24 to 4.54.



LEGAL STATUS

[Date of request for examination]

07.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233309

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁸

H01C 7/10

識別記号

F I

H01C 7/10

審査請求 未請求 請求項の数3 OL (全5頁)

(21) 出願番号 特願平10-28591
(22) 出願日 平成10年(1998) 2月10日

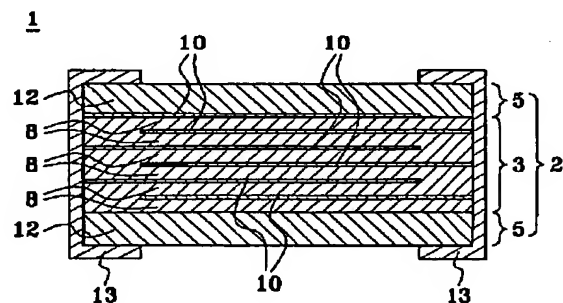
(71) 出願人 000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号
(72) 発明者 金子 和広
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内
(72) 発明者 中村 和敬
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(54) 【発明の名称】 積層バリスタ

(57) 【要約】

【課題】 小型化を図ることができ、かつ、表面にコーティングをせずにサージ耐量を向上させた積層バリスタを提供する。

【解決手段】 バリスタ層8と内部電極層10とを交互に積層した特性部3と、特性部3の上下面を外装する外装部5とからなる積層体2と、積層体2の両側面に形成された外部電極13とからなる積層バリスタ1であって、外装部5を構成する外装セラミック層12の絶縁抵抗値 R_1 と、バリスタ層8の絶縁抵抗値 R_2 との比 R_1/R_2 が1.24~4.54の範囲であることを特徴とする。



【特許請求の範囲】

【請求項1】 バリスタ層と内部電極層とを交互に積層した特性部と、前記特性部の上下面を外装する外装部とからなる積層体と、前記積層体の両側面に形成された外部電極とからなる積層バリスタであって、前記外装部を構成する外装セラミック層の絶縁抵抗値 R_1 と、前記バリスタ層の絶縁抵抗値 R_2 との比 R_1/R_2 が1.24～4.54の範囲であることを特徴とする請求項1に記載の積層バリスタ。

【請求項2】 前記外装セラミック層には、 SiO_2 が0.3～40.0重量%添加されていることを特徴とする請求項1に記載の積層バリスタ。

【請求項3】 前記外装セラミック層には、少なくとも SiO_2 を成分とするガラスが添加されており、前記外装セラミック層に対して前記 SiO_2 の含有量は、0.3～40.0重量%であることを特徴とする請求項1に記載の積層バリスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は積層バリスタに関する。

【0002】

【従来の技術】 近年、電子機器の小型化が進んでおり、それに伴って使用される電子部品も小型化が要求されている。とりわけ、回路上に表面実装できるチップ型の電子部品は、回路自体の小型化に有用であり、使用される割合が増加している。

【0003】 従来より、過電圧、過電流から回路素子を保護するために用いられているバリスタは、吸収できるサージ電流を大きくするために素子の電極面積を広くとってサージ耐量を大きくしたものが好ましい。そこで、素子の小型化が図れ、かつ、サージ耐量を大きくできるバリスタとして、バリスタ材料中に内部電極を複数枚内蔵し、実質的に電極の面積を大きくしてサージ耐量を大きくした積層型のバリスタ（以下、積層バリスタとする）が用いられている。

【0004】 このような積層バリスタとしては、例えば、図3に示すようなものがある。すなわち、この積層バリスタ20は、半導体セラミックからなるバリスタ層24とバリスタ層24上に形成された内部電極層25とからなる特性部22と、バリスタ層24を積層した外装部23とを有し、この特性部22と外装部23とからなる積層体21と、その外側に設けられた外部電極27とからなる。

【0005】 また、一般的な従来の積層バリスタ20の製造方法としては、以下のようなものがある。すなわち、バリスタ層24となるセラミックグリーンシートの上に一方端面が導出するように内部電極層25となる内部電極ペースト層を形成し、内部電極ペースト層が導出される方向が交互となるように所定枚数積層し、特性部

22とする。次に、特性部22の上下にバリスタ材料と同じ材質のセラミック層24からなる外装部23を積層して積層体21とする。さらに、積層体21を焼成、再酸化処理した後、積層体21の内部電極層25が導出されている側面に外部電極27を形成する。

【0006】 しかしながら、従来の積層バリスタは、内部電極の面積と電極の面積が同じである単板バリスタに比べ、サージ耐量が30～70%となっていた。これは、積層バリスタの構造であると、バリスタ機構を働かせる内部電極を形成したバリスタ層を積層し、特性部とした以外の部分（例えば、外部電極と、外部電極と接続していない内部電極との間）でバリスタ機構が働き、表面放電が生じていたためである。この原因としては、特性部の外側に設けられた外装部の厚み t_1 と、特性部を構成するバリスタ層の厚み t_2 との比が関係している。一般に、外装部の厚み t_1 とバリスタ層の厚み t_2 とが $t_1 \leq t_2$ となっている場合には、 t_1 へと流れる電流が生じて表面放電となる。また、 $t_1 > t_2$ であっても、外装部とバリスタ層とを構成する材質が同一であるもの、すなわち、外装部の絶縁抵抗値 R_1 /バリスタ層の絶縁抵抗値 $R_2 = 1$ である場合には、表面放電が生じないようにするには、 $t_1 > 2.5 t_2$ である必要がある。従来の積層バリスタは、外装部の厚み t_1 がバリスタ層の厚み t_2 に比べて、十分に大きくなかったため、表面放電が生じやすい状態であった。

【0007】 そこで、これらの積層バリスタの問題点を解決するものとして、特性部の厚みに対して外装部の厚みを十分に取った積層バリスタや、表面をガラスや樹脂でコーティングして絶縁化した積層バリスタなどが提案されている。

【0008】

【発明が解決しようとする課題】 しかしながら、従来の積層バリスタ20には、以下のような問題点があった。

【0009】 1. 高電圧対応とするために、バリスタ層24の厚みを大きくし、バリスタ電圧を上昇させたものは、大きくしたバリスタ層24の厚みに対して外装部23の厚み十分に取った場合、その外形寸法が大きくなるため、積層バリスタの特長である小型化が図れなくなる。

【0010】 2. 高電流域のI-V特性は、粒界特性による影響より、材質に用いている粒子の抵抗値による影響が大きいため、積層バリスタのバリスタ電圧が変化しても、I-V曲線の傾きはほぼ変化しない。したがって、高電圧対応とするために、バリスタ層24の厚みを大きくし、バリスタ電圧を上昇させたものは、そのI-V特性を示すI-V曲線が上昇したバリスタ電圧の分、上方向へシフトする。一方、バリスタ層24と外装部23の材質が同じであるため、バリスタがサージ破壊するときの電圧（サージ耐量の制限電圧）は一定の値をとる。よって、I-V曲線が上方向へシフトした分サージ

耐量が低下してしまう。

【0011】3. 表面をガラスや樹脂でコーティングして絶縁化した積層バリスタは、ガラスや樹脂をコーティングするために、余分な設備や工程が必要であり、製造コストが高くなる。また、積層バリスタのさらなる小型化を図ることができない。

【0012】本発明の目的は、小型化を図ることができ、かつ、表面にコーティングをせずにサージ耐量を向上させた積層バリスタを提供することにある。

【0013】

【課題を解決するための手段】本発明は上記の目的に鑑みてなされたものである。第1の発明の積層バリスタは、バリスタ層と内部電極層とを交互に積層した特性部と、前記特性部の上下面を外装する外装部とからなる積層体と、前記積層体の両側面に形成された外部電極とからなる積層バリスタであって、前記外装部を構成する外装セラミック層の絶縁抵抗値 R_1 と、前記バリスタ層の絶縁抵抗値 R_2 との比 R_1/R_2 が1.24~4.54の範囲であることを特徴とする。

【0014】このような構成にすることによって、サージ電流を外装部に流入しにくくし、特性部にスムーズに流入させて、表面放電を抑制することができる。すなわち、サージ耐量の制限電圧を上昇させ、サージ耐量を2000A以上に向上させることができる。また、外装部自体の絶縁抵抗値を上げるので、従来の積層バリスタに比べ、外装部の厚みをより薄くすることができる。したがって、バリスタ層の厚みが従来のものと同じであれば、積層バリスタの低背化が可能となる。

【0015】また、第2の発明の積層バリスタにおいては、前記外装セラミック層には、 SiO_2 が0.5~40.0重量%添加されていることを特徴とする。

【0016】また、第3の発明の積層バリスタにおいては、前記外装セラミック層には、少なくとも SiO_2 を成分とするガラスが添加されており、前記外装セラミック層に対して前記 SiO_2 の含有量は、0.5~40.0重量%であることを特徴とする。

【0017】このような範囲で SiO_2 を含有することによって、積層バリスタのサージ耐量の制限電圧を向上させて、サージ耐量を向上させることができる。

【0018】

【発明の実施の形態】本発明の積層バリスタの製造工程について説明する。図1は本発明の積層バリスタの概略断面図、図2は本発明の積層バリスタの分解斜視図を示す。まず、出発原料としていずれも純度99%以上の ZnO 、 Bi_2O_3 、 $CoCO_3$ 、 $MnCO_3$ および Sb_2O_3 を所定量調合して混合し、混合物とした。次に、得られた混合物をボールミルを用いて粉碎し、その後、800℃で仮焼して仮焼物を得た。さらに、得られた仮焼物を再度ボールミルを用いて粉碎した後、篩にかけて造粒し、バリスタ材料とした。次に、得られたバリスタ材料

に、 B_2O_3 、 ZnO 、 SiO_2 を主成分とするガラスを混合して外装セラミック材料とした。さらに、バリスタ材料および外装セラミック材料にバインダー、分散剤、可塑剤を加えて有機溶剤中で攪拌してスラリーとし、これをドクターブレード法によってシート状に成形して、それぞれバリスタ用セラミックグリーンシート、外装用セラミックグリーンシートとした。

【0019】次に、図2に示すように、所定枚数積層したバリスタ用セラミックグリーンシート7上にAg-Pd合金からなる電極ペーストをスクリーン印刷によって塗布し、内部電極用ペースト層9を形成した。そして、内部電極用ペースト層9を形成したバリスタ用セラミックグリーンシート7を所定枚数積層して特性部3とした後、さらに、その外側に外装用セラミックグリーンシート11を所定枚数積層して外装部5を形成し、圧着して積層体2とした。

【0020】次に、得られた積層体2を所定の大きさに加工した後、脱バインダー処理を行い、焼成炉によって900℃で2時間焼成し、バリスタ用セラミックグリーンシート7、外装用セラミックグリーンシート11、内部電極ペースト9を焼結させてそれぞれ、バリスタ層、外装セラミック層、内部電極層とした。しかるのち、図1のように、バリスタ層8と、内部電極層10と、外装セラミック層12とからなる積層体2の面上のうち、内部電極層10が露出している相対する面上にAgペーストを塗布して外部電極13を形成して積層バリスタ1とした。

【0021】

【実施例】上記のようにして作製した積層バリスタのガラスの添加量を変動させて、外装セラミック材料の抵抗比とサージ耐量を測定した。その結果を表1に示す。なお、表中の※印は本発明の請求項2から請求項4における範囲外を示す。また、比較例は、バリスタ材料と外装セラミック材料とにB-Zn-Si系ガラスを同量ずつ添加して焼成し、どちらも同じ絶縁抵抗値としたものである。

【0022】

【表1】

試料番号	SiO ₂ 添加量 (wt%)	抵抗比 (R ₁ /R ₂)	サージ耐量 (Ip/A)
※1	0.1	1.14	1200
2	0.3	1.24	2200
3	0.5	1.53	2300
4	1	3.27	2300
5	5	4.37	2450
6	10	4.47	2300
7	20	4.51	2250
8	30	4.52	2300
9	40	4.54	2300
※10	50	4.68	450
比較例	—	1	1200

【0023】表1に示すように、外装用セラミック層の絶縁抵抗値 R_1 をバリスタ層の絶縁抵抗値 R_2 より大きくすると、サージ耐量が大幅に向上することがわかる。

【0024】また、請求項1において、外装セラミック層の絶縁抵抗値 R_1 とバリスタ層の絶縁抵抗値 R_2 との抵抗比 R_1/R_2 を1.24~4.54としたのは、試料番号1のように、抵抗比 R_1/R_2 が1.24より小さい場合には、サージ耐量が低くなり、好ましくないからである。一方、試料番号10のように、抵抗比 R_1/R_2 が4.54より大きい場合にも、サージ耐量が低くなり、好ましくないからである。

【0025】また、請求項3または請求項4において、外装セラミック層中の SiO_2 の添加量を0.3~40重量%に限定したのは、試料番号1のように、 SiO_2 の添加量が0.3より小さい場合には、サージ耐量が低くなり、好ましくないからである。一方、試料番号10のように、 SiO_2 の添加量が4.6より大きい場合にも、サージ耐量が低くなり、好ましくないからである。

【0026】

【発明の効果】本発明の積層バリスタは、バリスタ層と内部電極層とを交互に積層した特性部と、この特性部の上下面を外装する外装部とからなる積層体と、この積層体の両側面に形成された外部電極とからなる積層バリスタであって、この外装部を構成する外装セラミック層の絶縁抵抗値 R_1 と、前記バリスタ層の絶縁抵抗値 R_2 との比 R_1/R_2 が1.24~4.54の範囲であることを特

徴とする。外装セラミック層で構成されている外装部が薄くても表面放電を生じないようにすることができる。また、サージ耐量の制限電圧を向上させることができる。よって、小型化を図ることができ、かつ、サージ耐量を向上させた積層バリスタとすることができる。

【図面の簡単な説明】

【図1】本発明の積層バリスタを示す概略断面図。

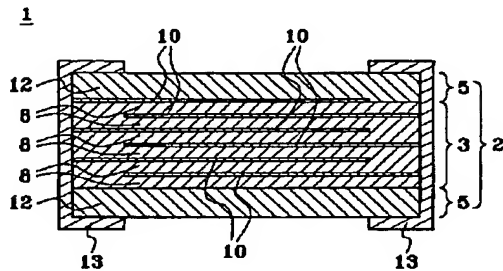
【図2】本発明の積層バリスタの積層体を示す分解斜視図。

【図3】従来の積層バリスタを示す概略断面図。

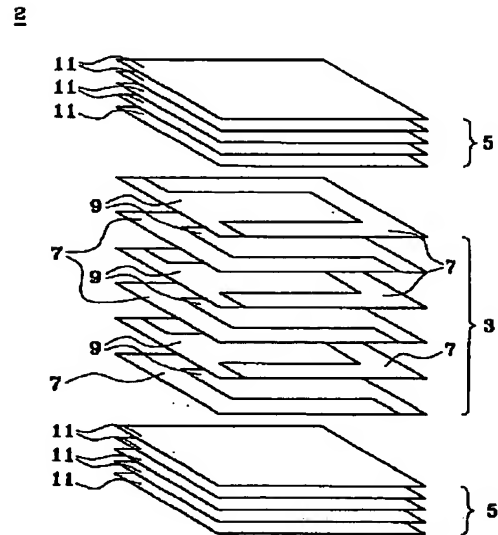
【符号の説明】

1	積層バリスタ
2	積層体
3	特性部
5	外装部
7	バリスタ用セラミックグリーンシー
ト	
8	バリスタ層
9	内部電極用ペースト層
10	内部電極層
11	外装用セラミックグリーンシート
12	外装セラミック層
13	外部電極

【図1】



【図2】



【図3】

